

Patent



Customer No. 31561  
Application No.: 10/605,163  
Docket No. 10230-US-PA

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of

Applicant : Wang  
Application No. : 10/605,163  
Filed : September 12, 2003  
For : SEMICONDUCTOR PACKAGE WITH A HEAT  
SPREADER  
Examiner :  
Art Unit : 2877

---

ASSISTANT COMMISSIONER FOR PATENTS  
Arlington, VA22202

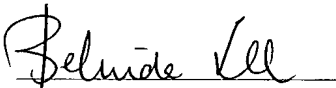
Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.:  
092104001, filed on: 2003/02/26.

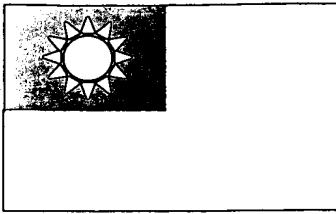
A return prepaid postcard is also included herewith.

Respectfully Submitted,  
JIANQ CHYUN Intellectual Property Office

Dated: Jan. 30, 2004

By:   
Belinda Lee  
Registration No.: 46,863

**Please send future correspondence to:**  
**7F.-1, No. 100, Roosevelt Rd.,**  
**Sec. 2, Taipei 100, Taiwan, R.O.C.**  
**Tel: 886-2-2369 2800**  
**Fax: 886-2-2369 7233 / 886-2-2369 7234**



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：(西元 2003 年 02 月 26 日)  
Application Date

申請案號：092104001  
Application No.

申請人：日月光半導體製造股份有限公司  
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 9 月 19 日  
Issue Date

發文字號：09220945060  
Serial No.

|       |       |
|-------|-------|
| 申請日期： | IPC分類 |
| 申請案號： |       |

(以上各欄由本局填註)

## 發明專利說明書

|                    |                       |  |
|--------------------|-----------------------|--|
| 一、<br>發明名稱         | 中 文                   | 具有散熱構件之多晶片封裝模組   |
|                    | 英 文                   | Semiconductor package with a heat sink   |
| 二、<br>發明人<br>(共1人) | 姓 名<br>(中文)           | 1. 王頌斐   |
|                    | 姓 名<br>(英文)           | 1. Sung-Fei Wang   |
|                    | 國 籍<br>(中英文)          | 1. 中華民國 TW   |
|                    | 住居所<br>(中 文)          | 1. 高雄市楠梓區加昌路729巷90弄21號   |
|                    | 住居所<br>(英 文)          | 1. No. 21, Alley 90, Lane 729, Chia-Chang, Nan-Tzu District, Kaohsiung, Taiwan, R.O.C. |
| 三、<br>申請人<br>(共1人) | 名稱或<br>姓 名<br>(中文)    | 1. 日月光半導體製造股份有限公司  |
|                    | 名稱或<br>姓 名<br>(英文)    | 1. Advanced Semiconductor Engineering, Inc.  |
|                    | 國 籍<br>(中英文)          | 1. 中華民國 TW   |
|                    | 住居所<br>(營業所)<br>(中 文) | 1. 高雄市楠梓加工出口區經三路26號 (本地址與前向貴局申請者相同)  |
|                    | 住居所<br>(營業所)<br>(英 文) | 1. 26, Chin 3rd. Rd., 811, Nantze Export Processing Zone, Kaohsiung, Taiwan, R.O.C.    |
|                    | 代表人<br>(中文)           | 1. 張虔生   |
|                    | 代表人<br>(英文)           | 1. Chien-Sheng Chang   |



四、中文發明摘要 (發明名稱：具有散熱構件之多晶片封裝模組)

一種具有散熱構件之晶片封裝模組包括一第一晶片、一第二晶片、一散熱構件及一基板，而第一晶片具有一主動表面，而第二晶片配置在該第一晶片之主動表面上，散熱構件配置在第一晶片上，並且基板係與第一晶片接合。

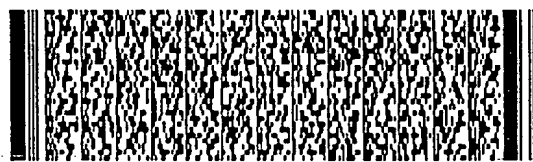
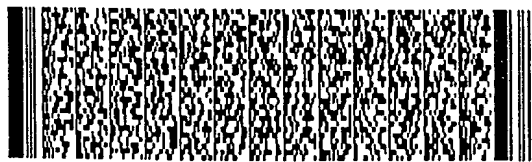
伍、(一)、本案代表圖為：第\_\_\_\_3\_\_\_\_圖

(二)、本案代表圖之元件代表符號簡單說明：

|            |              |
|------------|--------------|
| 200：晶片封裝模組 | 230：晶片       |
| 282：凸塊     | 284：凸塊       |
| 286：焊球     | 300：母板       |
| 302：表面     | 304：接點       |
| 306：晶片接合區域 | 308：散熱構件接合區域 |
| 312：導熱材料   | 314：導熱材料     |

陸、英文發明摘要 (發明名稱：Semiconductor package with a heat sink)

A semiconductor package with a heat sink includes a first chip, a first chip, a heat sink and a substrate. The first chip has an active surface over which the second chip is attached. The heat sink is attached over the first chip. The first chip is bonded onto the substrate.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

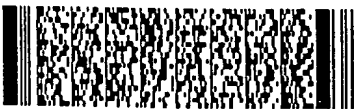
☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得,不須寄存。



## 五、發明說明 (1)

### 發明所屬之技術領域

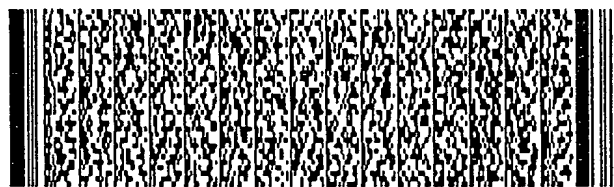
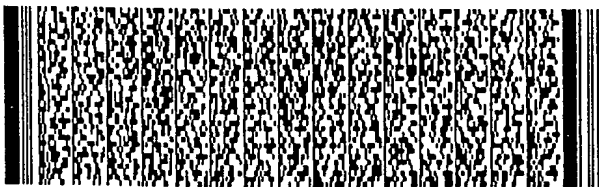
本發明是有關於一種具有散熱構件之多晶片封裝模組，且特別是有關於一種散熱性佳之具有散熱構件之多晶片封裝模組。

### 先前技術

在半導體產業中，積體電路(Integrated Circuits, IC)的生產，主要分為二個階段：積體電路(IC)的製作以及積體電路(IC)的封裝(Package)等。其中，裸晶片係經由晶圓(Wafer)製作、電路設計、光罩製作以及切割晶圓等步驟而完成，而每一顆由晶圓切割所形成的裸晶片，經由裸晶片上之焊墊(Bonding Pad)與外部訊號電性連接後，再以封膠材料將裸晶片包覆著，其封裝之目的在於防止裸晶片受到濕氣、熱量、雜訊的影響，並提供裸晶片與外部電路，比如與印刷電路板(Printed Circuit Board, PCB)或其他封裝用基板之間電性連接的媒介，如此即完成積體電路的封裝(Package)步驟。

為了連接上述之裸晶片和封裝用基板，通常會使用導線(Wire)作為接合之媒介。隨著晶片積集度的增加，多晶片模組封裝(Multi-Chip Module, MCM)已逐漸成為未來封裝型態的主要趨勢，其中多晶片模組封裝係例如將多個晶片封裝在一塊基板上，而多個晶片之間比如藉由基板彼此電性連接，以構成一具有完整功能的多封裝模組之封裝結構。

以動態隨機存取記憶體(dynamic random access



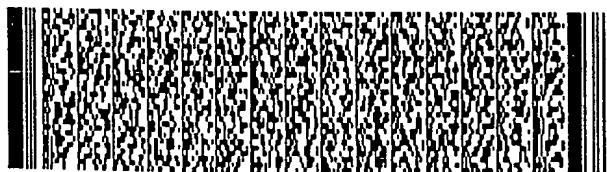
## 五、發明說明 (2)

memory, DRAM) 以及中央處理器(CPU)為例, 利用多晶片模組封裝(MCM)的封裝結構可將多個DRAM以及中央處理器(CPU)封裝在同一個基板上, 如此不僅提高構裝密度、減少空間需求, 也降低了封裝模組之間訊號延遲的現象, 以達到高速處理的目的, 因此廣泛被應用在通訊及攜帶式電子產品中。

請參照第1圖, 其繪示習知多晶片封裝模組之剖面示意圖。晶片封裝模組100包括一基板110、二晶片130、150、一封裝材料170、多條導線180、182及多個焊球184。其中基板110具有一上表面112及一下表面122, 並且基板110還具有一晶片座114、多個接點116、124, 其中晶片座114及接點116係配置在基板110之上表面112上, 而接點116係環繞在晶片座114的周圍; 接點124係配置在基板110之下表面122上。

晶片130具有一主動表面132及對應之一背面142, 並且晶片130還具有接點134、136, 均環繞在晶片130之主動表面132上的周圍位置, 且接點134所環繞的位置係位在接點136所環繞的位置之外部。而晶片130係以其背面142並藉由一黏著材料144貼附在基板110之晶片座114上。並且藉由打線的方式, 透過導線180可以使晶片130與基板110電性連接, 而導線180之一端係接合到晶片130之接點134上, 導線180之另一端係接合到基板110之接點116上。

晶片150具有一主動表面152及對應之一背面162, 並且晶片150還具有接點154, 環繞在晶片150之主動表面152



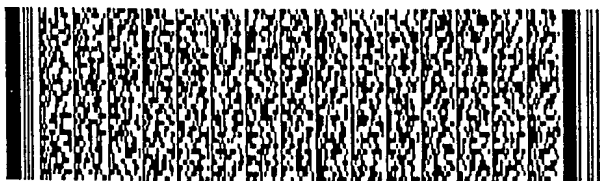
### 五、發明說明 (3)

上的周圍位置。而晶片150係以其背面162並藉由一黏著材料164貼附在晶片130之主動表面132上的中間區域。並且藉由打線的方式，透過導線182可以使晶片130、150間電性連接，而導線182之一端係接合到晶片150之接點154上，導線182之另一端係接合到晶片130之接點136上。

另外，封裝材料170係包覆晶片130、150、基板110之上表面112及導線180、182。而焊球184係配置在基板110之接點124上。

在上述的晶片封裝模組100中，係藉由導線180使晶片130與基板110電性連接，而藉由導線182使晶片130、150間電性連接，然而由於導線180、182的截面積甚小並且長度甚長，使得訊號會被快速地衰減，並且會有訊號延遲的現象，而在高頻電路運作時，會有電感電容寄生效應(Parasitics)的發生，以致產生訊號反射的情形。如上所述，利用導線180、182作為電性傳輸的媒介，會有嚴重的雜訊問題，並且電性品質甚低。

值得注意的是，當晶片130、150在高頻運作下，由於晶片130、150會產生介電耗損而產生大量的熱量，如此將導致晶片130、150之本身的溫度逐漸升高。當晶片130、150之本身的溫度一旦超出其正常的工作溫度範圍時，晶片130、150之內部電路可能會發生運算錯誤的現象，或是暫時性地失效。然而，習知晶片封裝模組100係藉由封裝材料170及基板110將熱量散溢至外界，但是封裝材料170及基板110的熱傳導係數均甚差，導致晶片130、





#### 五、發明說明 (4)

150 所產生之熱量無法有效地散溢至外界，嚴重時將造成晶片的運算錯誤或失效。

#### 發明內容

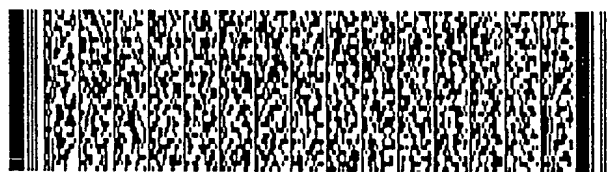
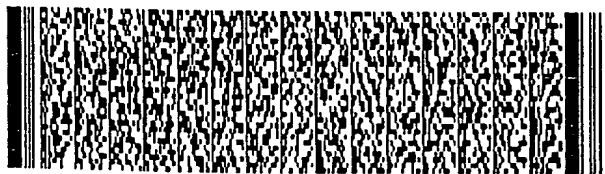
有鑑於此，本發明的目的是提出一種具有散熱構件之多晶片封裝模組，可以大幅提昇晶片之散熱效率。

在敘述本發明之前，先對空間介詞的用法做界定，所謂空間介詞"上"係指兩物之空間關係係為可接觸或不可接觸均可。舉例而言，A物在B物上，其所表達的意思係為A物可以直接配置在B物上，A物有與B物接觸；或者A物係配置在B物上的空間中，A物沒有與B物接觸。

為達本發明之上述目的，提出一種具有散熱構件之晶片封裝模組，至少包括一第一晶片、一第二晶片、一散熱構件及一基板，而第一晶片具有一主動表面，而第二晶片配置在該第一晶片之主動表面上，散熱構件配置在第一晶片上，並且基板係與第一晶片接合。

依照本發明之一較佳實施例，基板具有一開口，開口係貫穿基板，且可以容納散熱構件及第二晶片。或者，開口亦可以是未貫穿基板的型態，此時基板還具至少一導熱孔，貫穿基板，導熱孔的一端係暴露在基板之開口處，並與散熱構件導熱性連接。而一填充材料可以填入於基板之開口中。

另外，散熱構件可以配置在第一晶片之主動表面上或與主動表面對應之背面上。而第一晶片可以透過凸塊接合與第二晶片、基板及散熱構件接合，或者第一晶片及第



## 五、發明說明 (5)

二晶片可以藉由打線的方式與基板電性連接。

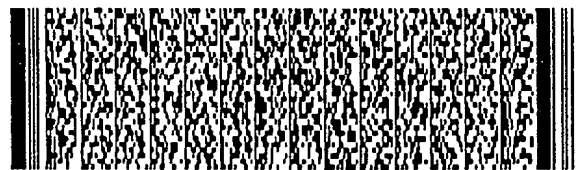
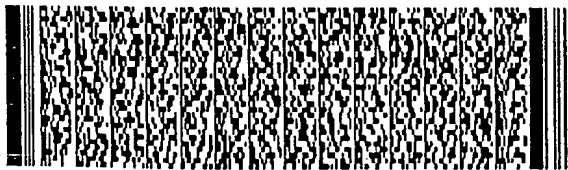
為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

### 實施方式

請參照第2圖，其繪示依照本發明第一較佳實施例之一種具有散熱構件之晶片封裝模組之剖面放大圖。晶片封裝模組200包括一基板210、二晶片230、250、一散熱構件270、多個凸塊280、282、284及多個焊球286。其中基板210具有一上表面212及一下表面222，並且基板210還具有一開口214、多個接點216、224，其中開口214係貫穿基板210，而接點216係配置在基板210之上表面112上環繞於開口214的周圍；接點224係配置在基板210之下表面222上。而焊球286係配置在基板210之接點224上，並與基板210之接點224電性連接。

晶片230具有一主動表面232，並且晶片230還具有接點234、236、238，均配置在晶片230之主動表面232上，其中接點234係環繞在晶片230之主動表面232上的周圍位置，且包圍接點236、238。而晶片230係藉由凸塊280與基板210接合且電性連接，其中凸塊280係配置在晶片230之接點234與基板210之接點216之間。

晶片250具有一主動表面252，並且晶片250還具有接點254，係以矩陣的形式配置在晶片250之主動表面252上。晶片250係配置在晶片230之主動表面232上，且基板

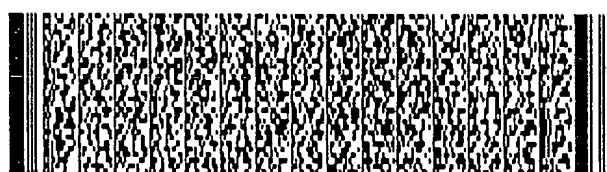
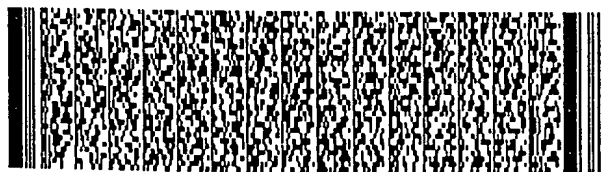


#### 五、發明說明 (6)

210 的開口214可以容納晶片250，而晶片250係藉由凸塊282與晶片230接合且電性連接，其中凸塊282係配置在晶片230之接點236與晶片250之接點254之間。

散熱構件270係配置在晶片230之主動表面232上，且基板210的開口214可以容納散熱構件270，而散熱構件270係藉由凸塊284與晶片230接合，其中凸塊284的一端係與晶片230之接點238接合，而凸塊284的另一端係與散熱構件270接合。其中散熱構件270比如是無電性功能的晶片，其材質可以是由矽所構成，而凸塊284係不具訊號傳輸功能之凸塊。另外，還可以在散熱構件270的表面鍍金，以增加散熱構件270與晶片230之間的接合性，且亦可以增加散熱構件270與母板300(繪示於第3圖)之間的接合性。

請參照第3圖，其繪示依照本發明第一較佳實施例之一種具有散熱構件之晶片封裝模組配置在母板上的剖面放大示意圖。透過迴焊的步驟，藉由焊球286可以將晶片封裝模組200裝配到一母板300上，而母板300具有一表面302，並且母板300還具有多個接點304、一晶片接合區域306及一散熱構件接合區域308，均配置在母板300之表面302上，而接點304係位在晶片接合區域306及散熱構件接合區域308的周圍。其中，晶片封裝模組200之焊球286會與母板300之接點304接合並電性連接，而導熱材料312係塗佈在晶片250與母板300之晶片接合區域306之間，藉由導熱材料312可以將熱量快速地從晶片250傳導至母板300；導熱材料314係塗佈在散熱構件270與母板300之散熱



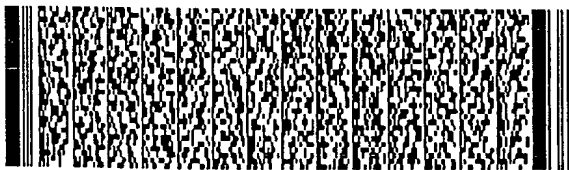
## 五、發明說明 (7)

構件接合區域308之間，藉由導熱材料314可以將熱量快速地從散熱構件270傳導至母板300。

在上述的晶片封裝模組200中，晶片230比如是中央處理器，而晶片250比如是記憶體。當晶片230在高頻運作下，會因為介電耗損而產生大量的熱量，此時可以透過凸塊284、散熱構件270及導熱材料314將晶片230所產生的熱量快速地傳導至外界，以及透過凸塊282、晶片250及導熱材料312將晶片230所產生的熱量快速地傳導至外界。如上所述，本發明之晶片封裝模組200具有甚佳的散熱效果。

然而，本發明的應用並非限於此，請參照第4圖，其繪示依照本發明第二較佳實施例之一種具有散熱構件之晶片封裝模組之剖面放大圖，其中若是本實施例中的標號與第一較佳實施例一樣者，則表示在本實施例中所指明的構件係雷同於在第一較佳實施例中所指明的構件，在此便不再贅述。在本實施例中，晶片封裝模組202還包括一填充材料320，比如利用點膠的方式填入到基板210之開口214中、晶片230、250之間、晶片230與散熱構件270之間及晶片230與基板210之間，以包覆晶片250、散熱構件270及凸塊280、282、284。

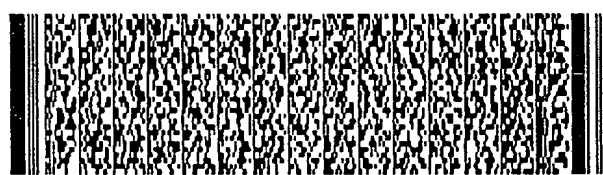
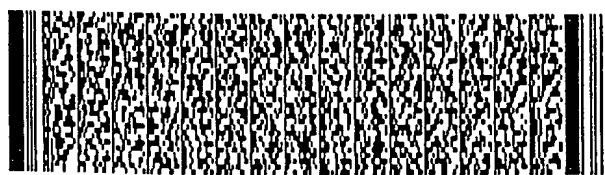
然而，本發明的應用並非限於此，請參照第5圖，其繪示依照本發明第三較佳實施例之一種具有散熱構件之晶片封裝模組之剖面放大圖，其中若是本實施例中的標號與第一、第二較佳實施例一樣者，則表示在本實施例中所指明的構件係雷同於在第一、第二較佳實施例中所指明的構



## 五、發明說明 (8)

件，在此便不再贅述。在本實施例中，晶片封裝模組204還包括一封裝材料322，比如利用灌模的方式灌入到模具(未繪示)之模穴(未繪示)中以包覆基板210之上表面212、填充材料320及晶片230之側壁244，而晶片230的背面242會貼附模穴之一表面，在進行脫膜之後，晶片230的背面242會暴露於外。

在前述的較佳實施例中，基板之開口係貫穿基板，然而本發明的應用並非限於此，如第6圖所示，其繪示依照本發明第四較佳實施例之一種具有散熱構件之晶片封裝模組配置在母板上的剖面放大示意圖，其中若是本實施例中的標號與第一較佳實施例一樣者，則表示在本實施例中所指明的構件係雷同於在第一較佳實施例中所指明的構件，在此便不再贅述。在本實施例之晶片封裝模組400中，基板410之凹穴414具有一底部416，而基板410還具多個導熱孔418貫穿基板410，而導熱孔418的一端係暴露在基板410之凹穴414的底部416，導熱孔418的另一端係與焊球486接合，而基板410透過焊球486可以與母板500接合。導熱材料512係塗佈在晶片250與凹穴414之底部416之間，藉由導熱材料512可以將熱量快速地從晶片250傳導至基板410，透過基板410之導熱孔418及焊球486可以將熱量傳導至母板500上；而導熱材料514係塗佈在散熱構件270與基板410之底部416之間，藉由導熱材料514可以將熱量快速地從散熱構件270傳導至基板410，透過基板410之導熱孔418及焊球486可以將熱量傳導至母板500上。晶片封裝模



#### 五、發明說明 (9)

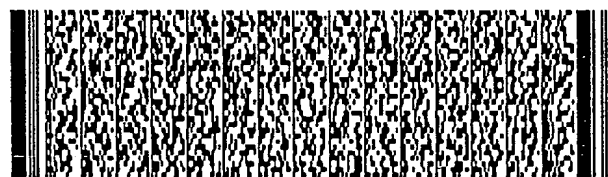
組400還包括一填充材料520，比如利用點膠的方式填入到基板410之凹穴414中、晶片230、250之間、晶片230與散熱構件270之間及晶片230與基板410之間，以包覆晶片250、散熱構件270及凸塊280、282、284。

除此之外，在前述的較佳實施例中，第一晶片均是透過凸塊與散熱構件接合，然而本發明並不限於此，第一晶片230亦可以利用一導熱膠289與散熱構件270接合，如第7圖所示，其繪示依照本發明第五較佳實施例之一種具有散熱構件之晶片封裝模組的剖面放大示意圖，其中若是本實施例中的標號與第一較佳實施例一樣者，則表示在本實施例中所指明的構件係雷同於在第一較佳實施例中所指明的構件，在此便不再贅述。

另外，在第一晶片上並非僅限於與一個第二晶片接合或一個散熱構件接合，亦可以是與多個第二晶片接合或多個散熱構件接合。

綜上所述，本發明之具有散熱構件之多晶片封裝模組，由於在第一晶片之主動表面上除了配置有第二晶片，並且還配置有散熱構件，因此第一晶片可以透過散熱構件的配置使第一晶片所產生的熱量快速地傳導至外界，故具有甚佳的散熱效果。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

第1圖繪示習知晶片封裝模組之剖面示意圖。

第2圖繪示依照本發明第一較佳實施例之一種具有散熱構件之晶片封裝模組之剖面放大圖。

第3圖繪示依照本發明第一較佳實施例之一種具有散熱構件之晶片封裝模組配置在母板上的剖面放大示意圖。

第4圖繪示依照本發明第二較佳實施例之一種具有散熱構件之晶片封裝模組之剖面放大圖。

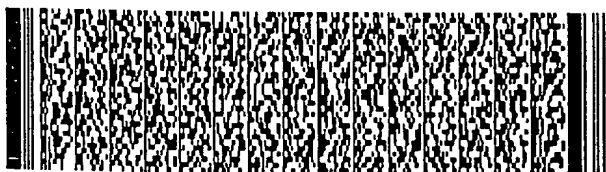
第5圖繪示依照本發明第三較佳實施例之一種具有散熱構件之晶片封裝模組之剖面放大圖。

第6圖所示，其繪示依照本發明第四較佳實施例之一種具有散熱構件之晶片封裝模組配置在母板上的剖面放大示意圖。

第7圖所示繪示依照本發明第五較佳實施例之一種具有散熱構件之晶片封裝模組的剖面放大示意圖。

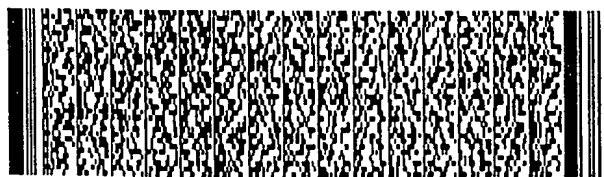
## 圖式標示說明

|            |         |
|------------|---------|
| 100：晶片封裝模組 | 110：基板  |
| 112：上表面    | 114：晶片座 |
| 116：接點     | 122：下表面 |
| 124：接點     | 130：晶片  |
| 132：主動表面   | 134：接點  |
| 136：接點     | 142：背面  |
| 144：黏著材料   | 150：晶片  |
| 152：主動表面   | 154：接點  |



# 圖式簡單說明

|                |              |
|----------------|--------------|
| 156 : 接點       | 162 : 背面     |
| 164 : 黏著材料     | 170 : 封裝材料   |
| 180 : 導線       | 182 : 導線     |
| 200 : 晶片封裝模組   | 202 : 晶片封裝模組 |
| 210 : 基板       | 212 : 上表面    |
| 214 : 開口       | 216 : 接點     |
| 222 : 下表面      | 224 : 接點     |
| 230 : 晶片       | 232 : 主動表面   |
| 234 : 接點       | 236 : 接點     |
| 238 : 接點       | 242 : 背面     |
| 244 : 側壁       | 250 : 晶片     |
| 252 : 主動表面     | 254 : 接點     |
| 270 : 散熱構件     | 280 : 凸塊     |
| 282 : 凸塊       | 284 : 凸塊     |
| 286 : 焊球       | 289 : 導熱膠    |
| 300 : 母板       | 302 : 表面     |
| 304 : 接點       | 306 : 晶片接合區域 |
| 308 : 散熱構件接合區域 |              |
| 312 : 導熱材料     | 314 : 導熱材料   |
| 320 : 填充材料     | 322 : 封裝材料   |
| 400 : 晶片封裝模組   |              |
| 410 : 基板       | 412 : 上表面    |
| 414 : 凹穴       | 416 : 底部     |
| 418 : 導熱孔      | 486 : 焊球     |





圖式簡單說明

|              |            |
|--------------|------------|
| 500 : 母板     | 512 : 導熱材料 |
| 514 : 導熱材料   | 520 : 填充材料 |
| 600 : 晶片封裝模組 | 610 : 基板   |
| 612 : 上表面    | 614 : 開口   |
| 616 : 接點     | 618 : 接點   |
| 622 : 下表面    | 624 : 接點   |
| 630 : 晶片     | 632 : 主動表面 |
| 634 : 接點     | 642 : 背面   |
| 644 : 黏著材料   | 650 : 晶片   |
| 652 : 主動表面   | 654 : 接點   |
| 662 : 背面     | 664 : 黏著材料 |
| 670 : 散熱構件   | 680 : 導線   |
| 682 : 導線     | 684 : 凸塊   |
| 686 : 焊球     | 690 : 封裝材料 |
| 692 : 填充材料   | 700 : 母板   |
| 714 : 導熱材料   |            |



## 六、申請專利範圍

1. 一種具有散熱構件之多晶片封裝模組，至少包括：

一基板，具有一開口，貫穿該基板；

複數個第一凸塊；

一第一晶片，具有一主動表面，該第一晶片係以其該主動表面並藉由該些第一凸塊與該基板接合並與該基板電性連接，而該第一晶片之該主動表面係朝向該基板之該開口；

複數個第二凸塊；

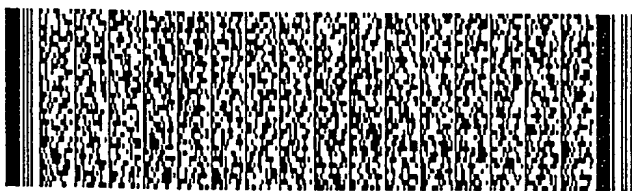
至少一第二晶片，容納在該基板之該開口中，並且該第二晶片藉由該些第二凸塊與該第一晶片之該主動表面接合，並且該第二晶片透過該些第二凸塊與該第一晶片電性連接；以及

至少一散熱構件，容納在該基板之該開口中，並且該散熱構件與該第一晶片之該主動表面接合。

2. 如申請專利範圍第1項所述之具有散熱構件之多晶片封裝模組，還包括一填充材料，係填充在該基板之該開口中、該第一晶片與該第二晶片之間及該第一晶片與該基板之間，並且該填充材料還包覆該些第一凸塊及該些第二凸塊。

3. 如申請專利範圍第1項所述之具有散熱構件之多晶片封裝模組，其中該散熱構件係不具訊號傳輸功能之晶片。

4. 如申請專利範圍第1項所述之具有散熱構件之多晶片封裝模組，其中該散熱構件之表面鍍金。



#### 六、申請專利範圍

5. 如申請專利範圍第1項所述之具有散熱構件之多晶片封裝模組，還包括複數個第三凸塊，該散熱構件藉由該些第三凸塊與該第一晶片之該主動表面接合，且該些第三凸塊係不具訊號傳輸功能之凸塊。

6. 如申請專利範圍第1項所述之具有散熱構件之多晶片封裝模組，還包括一導熱膠，該散熱構件藉由該導熱膠與該第一晶片之該主動表面接合。

7. 一種具有散熱構件之多晶片封裝模組，至少包括：

一基板，具有一凹穴及複數個導熱孔，該些導熱孔係貫穿該基板，並且該些導熱孔之一端係暴露在該凹穴處；

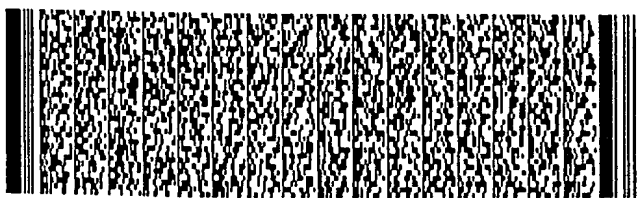
複數個第一凸塊；

一第一晶片，具有一主動表面，該第一晶片係以其該主動表面並藉由該些第一凸塊與該基板接合並與該基板電性連接，而該第一晶片之該主動表面係朝向該基板之該凹穴；

複數個第二凸塊；

至少一第二晶片，容納在該基板之該凹穴中並與該基板之該些導熱孔導熱性連接，該第二晶片藉由該些第二凸塊與該第一晶片之該主動表面接合，並且該第二晶片透過該些第二凸塊與該第一晶片電性連接；以及

至少一散熱構件，容納在該基板之該凹穴中並與該基板之該些導熱孔導熱性連接，且該散熱構件與該第一晶



## 六、申請專利範圍

片之該主動表面接合。

8. 如申請專利範圍第7項所述之具有散熱構件之多晶片封裝模組，還包括一填充材料，係填充在該基板之該凹穴中、該第一晶片與該第二晶片之間及該第一晶片與該基板之間，並且該填充材料還包覆該些第一凸塊及該些第二凸塊。

9. 如申請專利範圍第7項所述之具有散熱構件之多晶片封裝模組，其中該散熱構件之材質包括矽。

10. 如申請專利範圍第7項所述之具有散熱構件之多晶片封裝模組，其中該散熱構件之表面鍍金。

11. 如申請專利範圍第7項所述之具有散熱構件之多晶片封裝模組，還包括複數個第三凸塊，該散熱構件藉由該些第三凸塊與該第一晶片之該主動表面接合。

12. 如申請專利範圍第7項所述之具有散熱構件之多晶片封裝模組，還包括一導熱膠，該散熱構件藉由該導熱膠與該第一晶片之該主動表面接合。

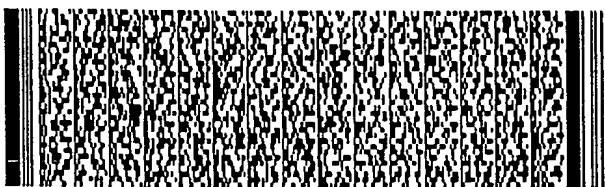
13. 一種晶片承載其他晶片及散熱構件之結構，至少包括：

一第一晶片，具有一主動表面；

至少一第二晶片，配置在該第一晶片之該主動表面上；以及

至少一散熱構件，配置在該第一晶片之該主動表面上。

14. 如申請專利範圍第13項所述之晶片承載其他晶片



## 六、申請專利範圍

及散熱構件之結構，還包括複數個凸塊，而該第二晶片係藉由該些凸塊與該第一晶片之該主動表面接合。

15. 如申請專利範圍第14項所述之晶片承載其他晶片及散熱構件之結構，還包括一填充材料，位在該第一晶片與該第二晶片之間，並且該填充材料還包覆該些凸塊。

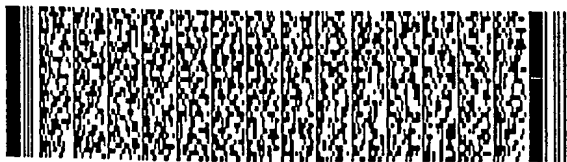
16. 如申請專利範圍第13項所述之晶片承載其他晶片及散熱構件之結構，還包括複數個凸塊，而該散熱構件係藉由該些凸塊與該第一晶片之該主動表面接合。

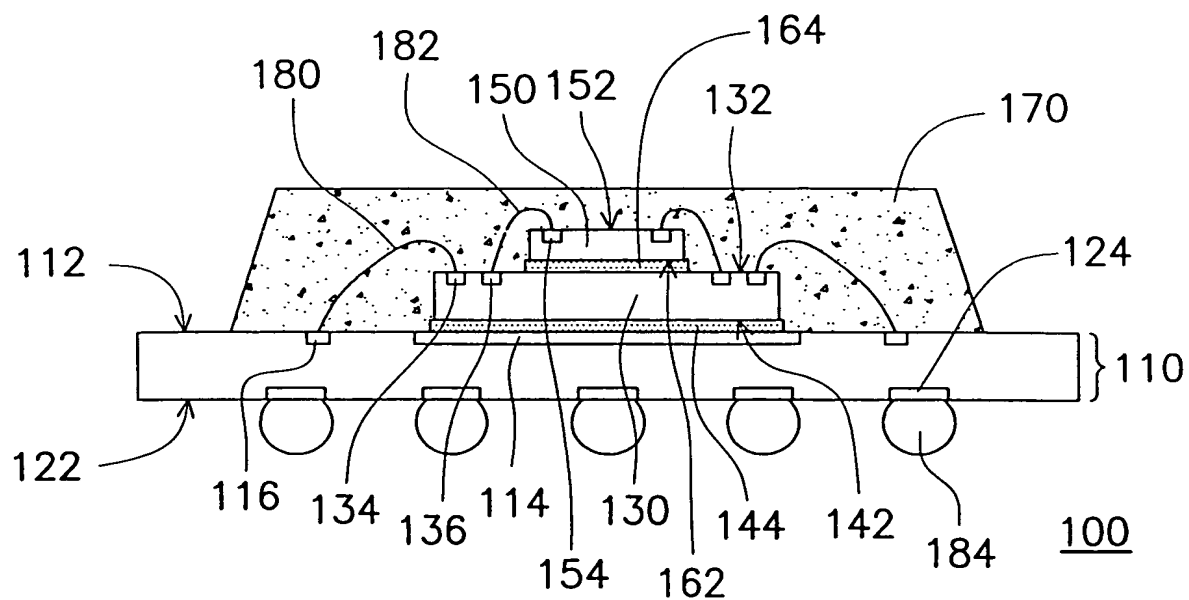
17. 如申請專利範圍第16項所述之晶片承載其他晶片及散熱構件之結構，還包括一填充材料，位在該第一晶片與該散熱構件之間，並且該填充材料還包覆該些凸塊。

18. 如申請專利範圍第13項所述之晶片承載其他晶片及散熱構件之結構，還包括一導熱膠，該散熱構件藉由該導熱膠與該第一晶片之該主動表面接合。

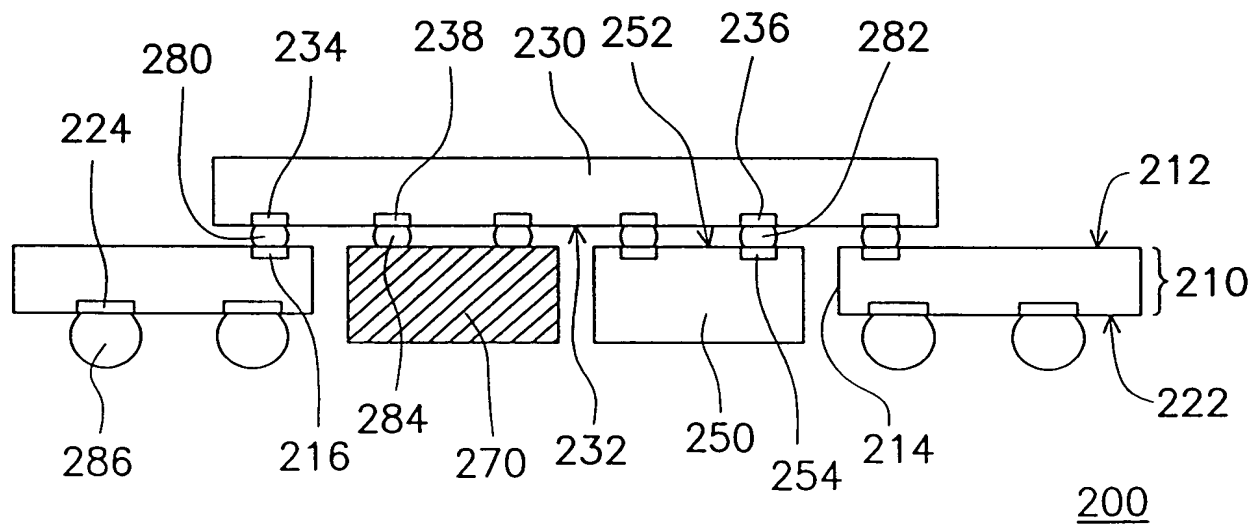
19. 如申請專利範圍第16項所述之晶片承載其他晶片及散熱構件之結構，其中該散熱構件之材質包括矽。

20. 如申請專利範圍第16項所述之晶片承載其他晶片及散熱構件之結構，其中該散熱構件之表面鍍金。

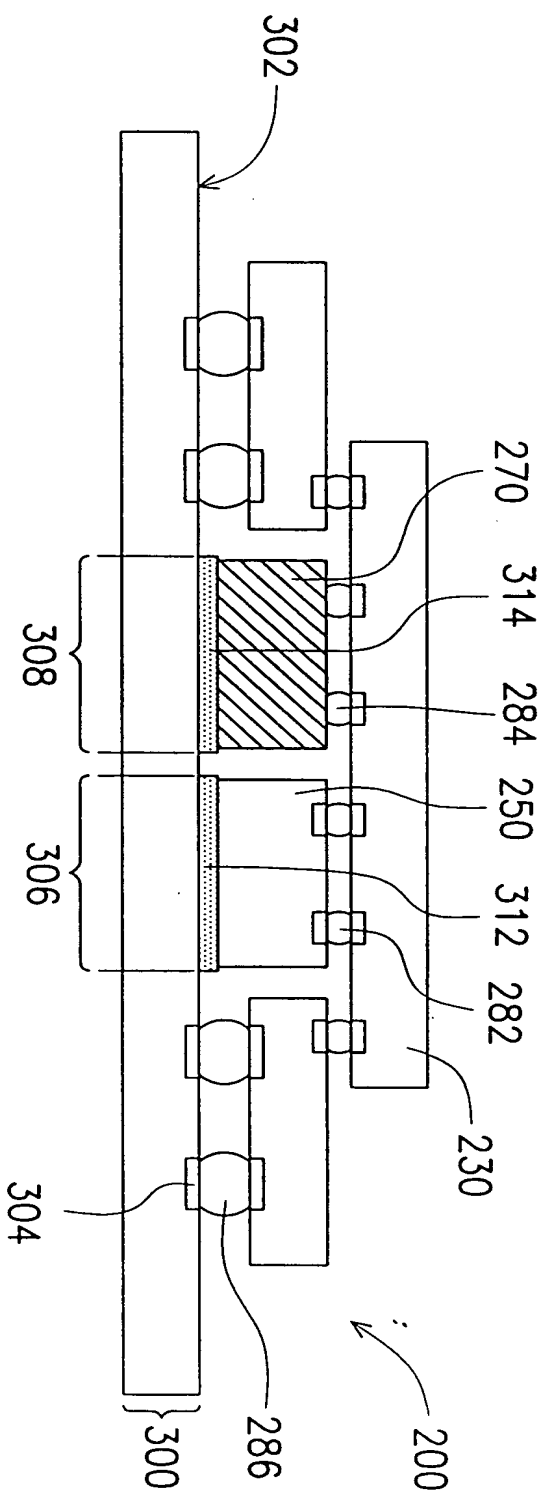




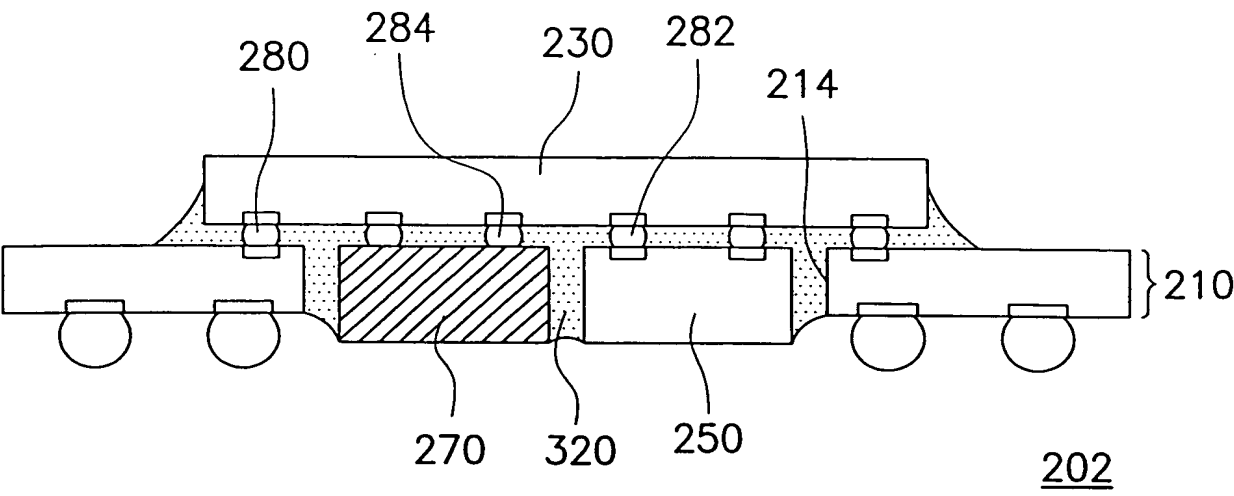
第 1 圖



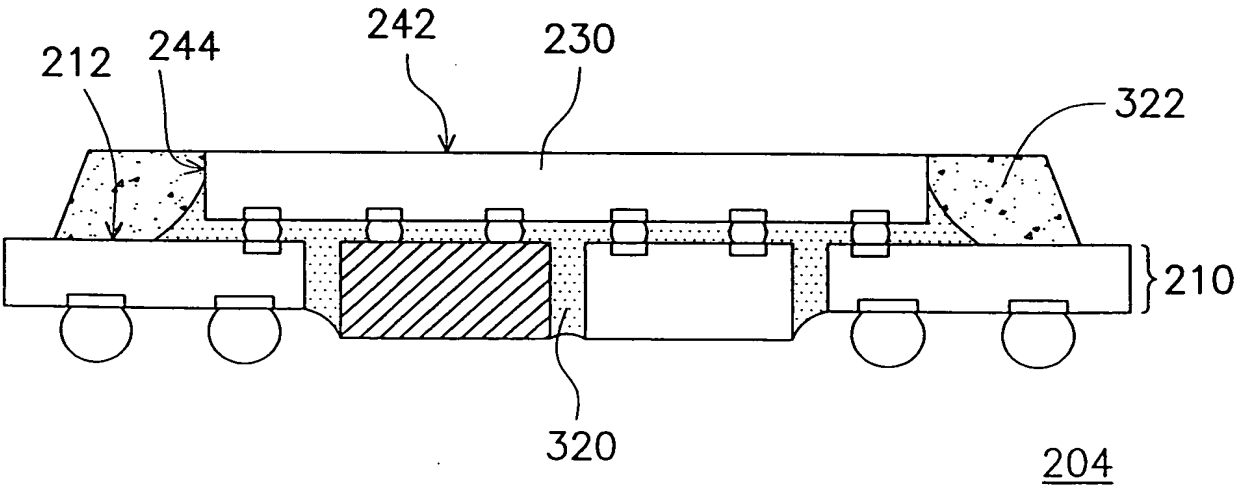
第 2 圖



第 3 圖

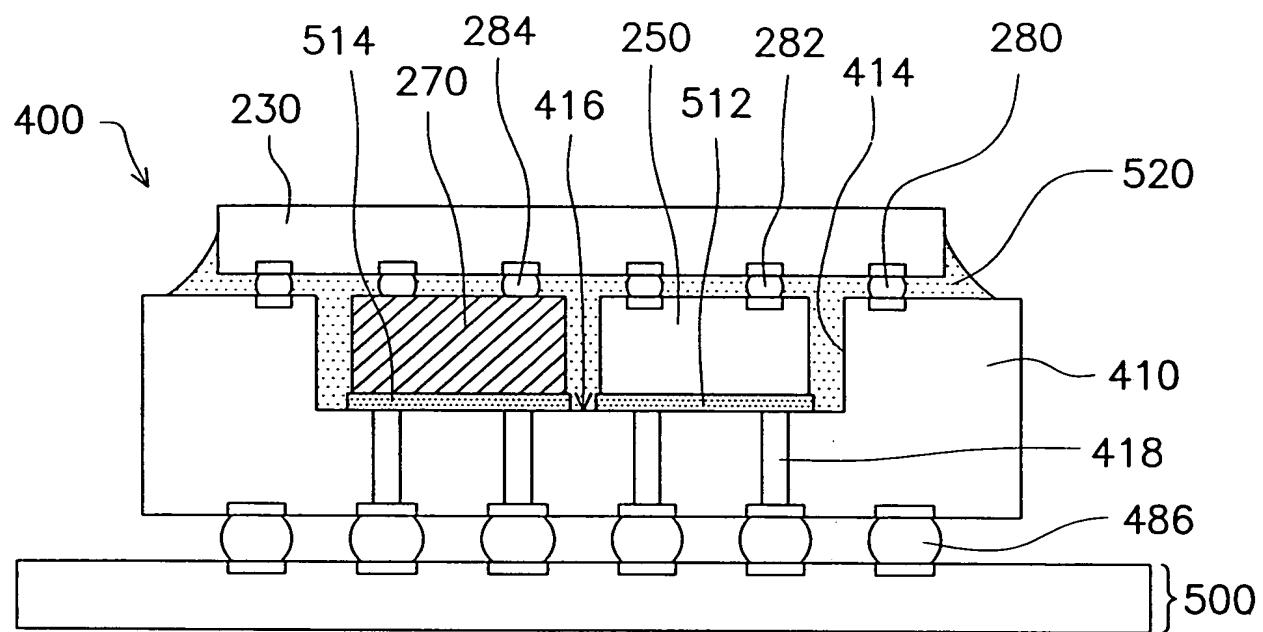


第 4 圖

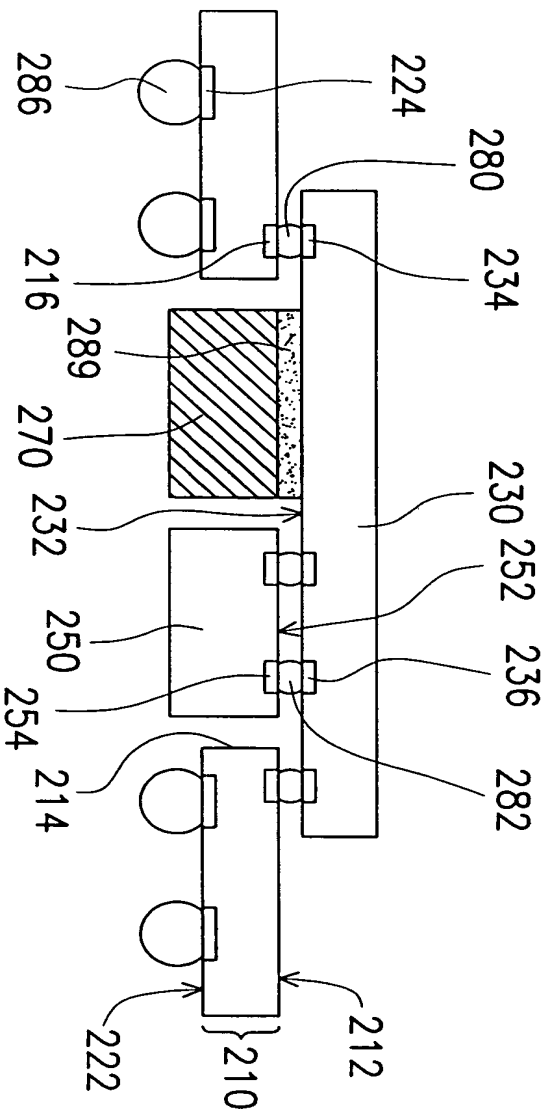


第 5 圖



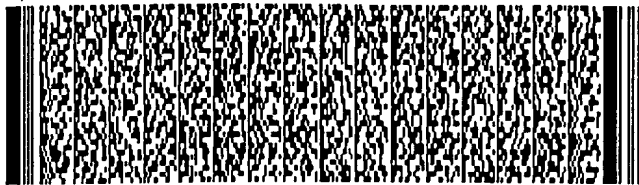


第 6 圖

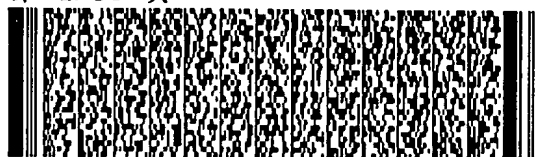


第 7 圖

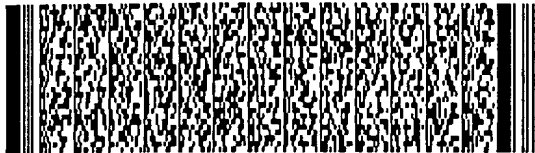
第 1/19 頁



第 2/19 頁



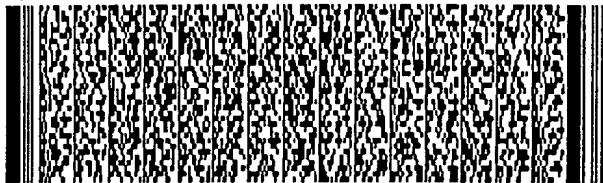
第 2/19 頁



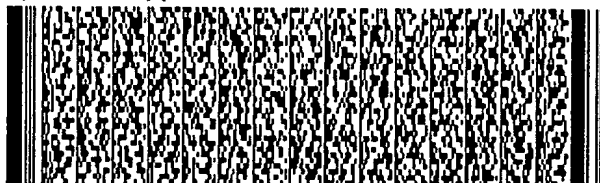
第 3/19 頁



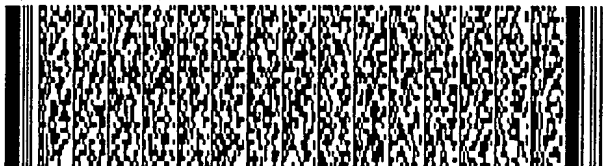
第 4/19 頁



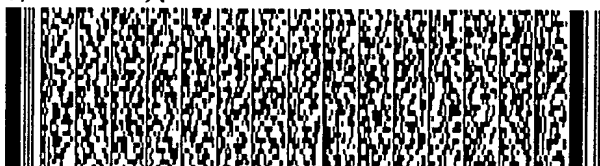
第 4/19 頁



第 5/19 頁



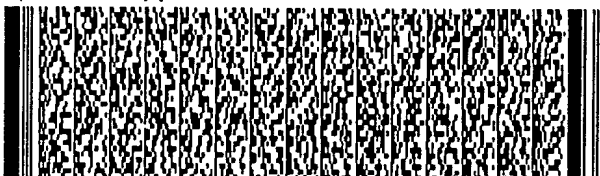
第 5/19 頁



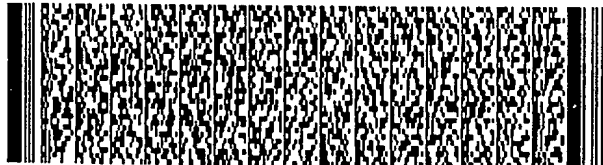
第 6/19 頁



第 6/19 頁



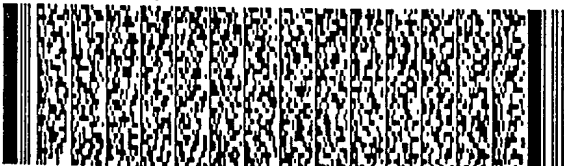
第 7/19 頁



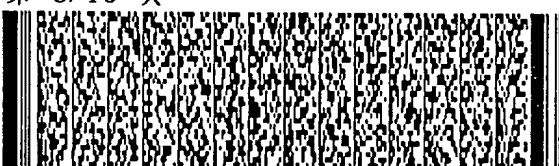
第 7/19 頁



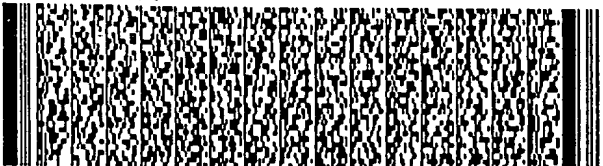
第 8/19 頁



第 8/19 頁



第 9/19 頁



第 9/19 頁



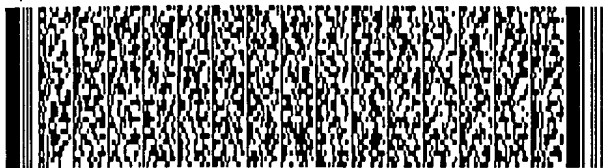
第 10/19 頁



第 10/19 頁



第 11/19 頁



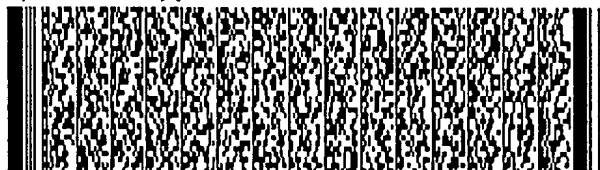
第 11/19 頁



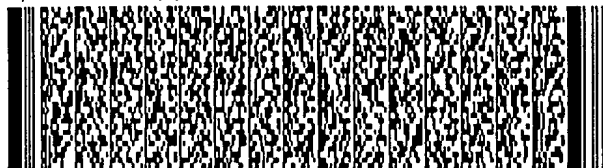
第 12/19 頁



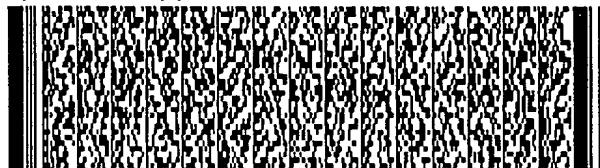
第 12/19 頁



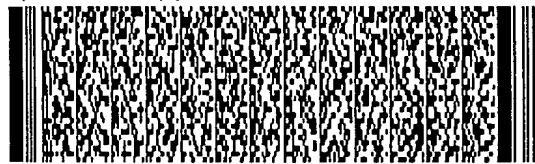
第 13/19 頁



第 14/19 頁



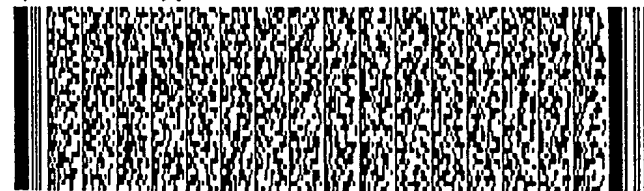
第 15/19 頁



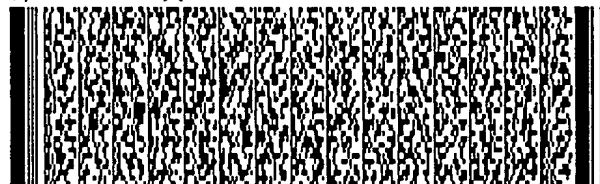
第 16/19 頁



第 17/19 頁



第 18/19 頁



第 19/19 頁

